

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

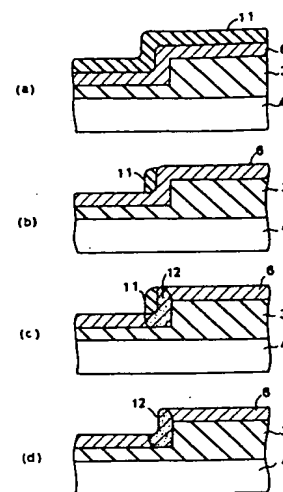
**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**(54) PREPARATION OF SEMICONDUCTOR DEVICE**

(11) 58-201345 (A) (43) 24.11.1983 (19) JP  
 (21) Appl. No. 57-84307 (22) 19.5.1982  
 (71) TOKYO SHIBAURA DENKI K.K. (72) SUNAO SHIBATA  
 (51) Int. Cl.<sup>3</sup> H01L21/88, H01L21/306

**PURPOSE:** To reduce over-etching through high speed etching of a film to be processed existing at the stepped part by diffusing impurity to the film to be processed formed at the stepped part.

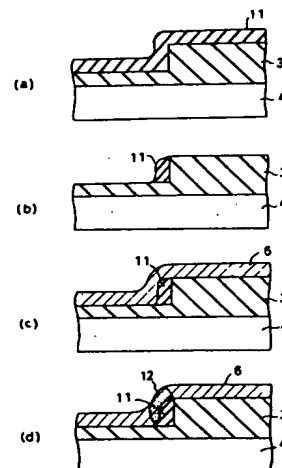
**CONSTITUTION:** A phosphor silicate glass (PSG) film 11 is deposited on a poly Si film 6 formed on a field oxide film 3 comprising the stepped part on an Si substrate 4. Then, when a PSG film 11 is etched, the PSG film 11 remains only at the side wall of stepped part of film 6. Next, phosphorus is diffused into the film 6 from the PSG film 11. Thereby, the phosphorus doped Si 12 is formed at the stepped part of film 6. The film 6 is then selectively etched through formation of resist in the desired pattern. At this time, an etching rate of Si 12 at the stepped part is faster several times than that of the non-doped film 6. Therefore, the Si 12 can be removed perfectly even if an excessive over-etching is not carried out. Accordingly, characteristic of transistor element is not deteriorated and accuracy of wiring pattern is not also degraded.

**(54) PREPARATION OF SEMICONDUCTOR DEVICE**

(11) 58-201346 (A) (43) 24.11.1983 (19) JP  
 (21) Appl. No. 57-84309 (22) 19.5.1982  
 (71) TOKYO SHIBAURA DENKI K.K. (72) SUNAO SHIBATA  
 (51) Int. Cl.<sup>3</sup> H01L21/88, H01L21/306

**PURPOSE:** To suppress over-etching through high speed etching of a film to be processed existing at the stepped part by diffusing impurity to a film to be processed formed at the stepped part.

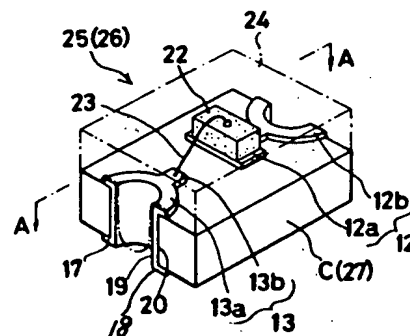
**CONSTITUTION:** A phosphor silicate glass (PSG) film 11 is deposited on a field oxide film 3 having the stepped part on an Si substrate 4. When the PSG film 11 is etched, the film 11 remains only on the side wall of stepped part of film 3. Non impurity-added poly-Si film 6 is deposited on the entire part thereof. Next, phosphorus is diffused into the film 6 from the remaining film 11. Thereby, the phosphorus-doped poly-Si 12 is formed at the stepped part of film 6. Thereafter, a resist of desired pattern is formed and the film 6 is etched selectively. At this time, etching rate of Si 12 is higher several times than that of film 6. Therefore, Si 12 can be perfectly removed even if an excessive over-etching is not carried out. Accordingly, characteristic of transistor element is not deteriorated and accuracy of wiring pattern is not degraded.

**(54) LEADLESS CHIP PARTS AND PREPARATION THEREOF**

(11) 58-201347 (A) (43) 24.11.1983 (19) JP  
 (21) Appl. No. 57-84074 (22) 20.5.1982  
 (71) YUNI KURISUTARU K.K. (72) HIROTOSHI YAMAGUCHI(3)  
 (51) Int. Cl.<sup>3</sup> H01L23/12, H01L23/48

**PURPOSE:** To obtain a structure which is convenient for production and mounting by preparing for different planes for element mounting and providing external plane terminals and connecting these planes through a through hole.

**CONSTITUTION:** A substrate area part C is a substrate 27 of a chip part 25 and external plane terminals 17, 18 of each electrode are located at the opposing plane to the chip element 22 mounting plane through a conductive layer 19 which is extending vertically on both edges of substrate formed at the conductive layer on the internal wall of through hole. With such a structure, it is no longer necessary to place the chip parts upside down at the time of mounting. Therefore, even if a photo transistor and an LED are selected as element 22, a conductive layer pattern is not influenced thereby. Such structure is capable of simplifying the production process because division or cutting is possible for each chip in the final process.



⑬ 日本国特許庁 (JP)  
⑫ 公開特許公報 (A)

⑪ 特許出願公開  
昭58—201347

⑮ Int. Cl.<sup>3</sup>  
H 01 L 23/12  
23/48

識別記号 庁内整理番号  
7357—5F  
7357—5F

⑬ 公開 昭和58年(1983)11月24日

発明の数 2  
審査請求 有

(全 18 頁)

⑭ リードレスチップ部品及びその製造方法

⑯ 特 願 昭57—84074

⑰ 出 願 昭57(1982)5月20日

⑱ 発 明 者 山口博敏  
市川市南八幡3丁目21番2号ユ  
ニクリスタル株式会社内

⑲ 発 明 者 斎藤裕行  
市川市南八幡3丁目21番2号ユ  
ニクリスタル株式会社内

⑱ 発 明 者 海老原秀夫  
市川市南八幡3丁目21番2号ユ  
ニクリスタル株式会社内

⑲ 発 明 者 辻河秀雄  
市川市南八幡3丁目21番2号ユ  
ニクリスタル株式会社内

⑳ 出 願 人 ユニクリスタル株式会社  
市川市南八幡3丁目21番2号

㉑ 代 理 人 弁理士 福田信行 外2名

明 細 書

1. 発明の名称

リードレスチップ部品及びその製造方法

2. 特許請求の範囲

(1) 基板上に配され、モールド材にてモールドされたチップエレメントの電極を部品外面に沿う面状端子に接続して成る電気、電子回路用のリードレスチップ部品であつて、

上記チップエレメントの各電極と接続を採る基板表面導電層パターンを該チップエレメント搭載面と同じ基板面に形成すると共に、上記面状端子は、上記部品外面の中、上記チップエレメント搭載面とは異なる面に形成し、上記表面導電層パターンと上記面状端子の接続を採るべき相互部分を、内面導電層付きスルーホールの当該内面導電層として形成された上下方向導電層で接続して成ることを特徴とするリードレスチップ部品。

(2) 面状端子は基板裏面に設けられていること

を特徴とする特許請求の範囲(1)に記載のリードレスチップ部品。

(3) 面状端子は基板側面に設けられ、上下方向導電層が該面状端子を兼ねていることを特徴とする特許請求の範囲(1)に記載のリードレスチップ部品。

(4) 基板上に配され、モールド材にてモールドされたチップエレメントの電極を、部品外面に沿う面状端子に接続して成る電気、電子回路用のリードレスチップ部品の製造方法であつて、

複数個のチップ部品用基板面積部分を含む基材の表面上に、上記各チップエレメントの電極を採る各チップ部品用基板表面導電層パターンを一括的に形成する工程と、

該各チップ部品用表面導電層パターンと、上記表面とは異なる面上の面状端子との接続を採るべき部分相互を、上記基材上に開けた内面導電層付きスルーホールの当該内面導電層で接続する工程と、

上記各チップ部品用基板面積部分表面上に、上記表面パターンに対応する部分に電極を接続するチップエレメントを配する工程と、

上記基板表面上を一括的にモールドすることにより各チップエレメントをモールドする工程と、

上記モールド後の基板を所定の行列方向各分割線に従って分割し、個々のチップ部品を採り出す工程と、

から成ることを特徴とするリードレスチップ部品の製造方法。

(5) 基板表面導電層パターン形成工程とスルーホール内面導電層形成工程とが同一の工程で行なわれていることを特徴とする特許請求の範囲(4)に記載の方法。

(6) 各チップ部品用面状端子は分割以前において基板表面上に一括的に形成されていることを特徴とする特許請求の範囲(4)、(5)のいずれか一つに記載の方法。

(7) 面状端子はスルーホール内面導電層の一部

いる。

この種部品を総称する場合、チップ部品と呼ぶのが一般であるので、本書でもこれに従うが、周知のように、チップ部品は、使用に際してはプリント基板上へ半田リフロー法、噴射法やディップ法で取り付け、自動化も容易であるから、使用者側にはかなり便利なもので、もとより極めて小型であることから混成集積回路の集積密度を上げることができ、高周波用途では、リードのないことから特性が向上する等、多々なる効果を持つものである。が、従来この種チップ部品は、生産者側からすれば、必ずしも作り易いものではなく、製造工程に複雑かつ極めて精密な工程が要求され、生産能率に制限を受けたり、コスト高となる欠点を有していた。

こうした欠点を顕著かにするため、チップ部品としてミニセールドバイポーラトランジスタを在来法により製造する場合に就き、第1図に即して説明する。

第1図Aに示すように、複数個(一般に極め

となつてゐることを 敬とする特許請求の範囲(4)、(5)のいずれか一つに記載の方法。

(8) 各チップ部品用基板表面導電層パターンには、構築する各チップ部品用基板面積部分において、基板上に形成された表面パターンを共用する部分のあることを特徴とする特許請求の範囲(4)、(5)、(6)、(7)のいずれか一つに記載の方法。

## 2. 発明の詳細な説明

本発明は、電子、電気回路用のリードレス(リードのない)チップ部品、及びその製造方法に関する。

昨今、殊に混成集積回路用等として、リードがなく、その代わりに部品外面に付した面状の外部端子を持つチップ部品乃至ミニセールド部品と呼ばれる電子、電気部品が汎用化されるに至つてゐる。その種類としては、受動素子としての抵抗、コンデンサ、コイル等の電気部品、各種ダイオード等の電子部品、能動素子としてのトランジスタ、更には集積回路にまで及んで

て多数)のチップ部品を作り得る面積のセラミックス等の基材 $1$ を用意したなら、次の工程で直ぐに、この基材 $1$ を $X$ 列 $Y$ 行に数断し、各々の面積が各個別チップ部品用基板面積 $B_i$ となる $X \cdot Y$ 個の小さな基板 $2 \cdots \cdots$ に分けてしまう(第1図B)。

以下、その中の一個を採り出して説明すると、切出した各基板 $2$ に所定の加工を施して、第1図Cに示すような所定の幾何形態を持つた基板 $3$ とする。ここで例に採つてゐるトランジスタでは、この各基板の寸法は縦横共に、たかだか数 $\mu$ であり、厚さも極めて薄い。

次に、この基板 $3$ の、トランジスタエレメントを搭載する方の面(こちらを表面と呼ぶ)上に所定のパターンの導電層 $4$ を蒸着その他の手法で形成する。この例では、基板中央の平面部上で将来トランジスタエレメントを搭載する面となる第一導電層 $4a$ と、基板周囲に起立してゐる山本の脚の中、段のない脚 $3a$ 、 $3b$ の上面から内側面を経て第一導電層 $4a$ に連なる第二導電

層 $4b$ 、 $4c$ と、残り二本の脚の中の一つ $4d$ の上面から段部面で留まる第三導電層 $4e$ と、他方 $4c$ の上面か段部面で留まる第四導電層 $4f$ とを形成する(第1図D)。

その後、主面導電層 $4a$ 上に一般にコレクタを接してトランジスタエレメント $6$ を搭載し、エミッタを第三導電層 $4e$ の段部面 $4e'$ に、ベースを第四導電層 $4f$ の段部面 $4f'$ に、それぞれ結線する(第1図E)。

最後に、各導電層 $4b$ 、 $4c$ 、 $4d$ において、脚部 $4b$ 、 $4c$ 、 $4d$ の各上面部分を露出させた状態を保つて、エレメント $6$ をエポキシ樹脂等の適当な材料でモールドする。モールド部分を第1図Fにおいて仮想線 $7$ で示しているが、かくして、ミニモールドバイポーラトランジスタとしてのチップ部品 $8$ が完成する。

使用に際しては、各露出している面状電極部分が外部端子となるので(この場合、端子 $4b$ 、 $4c$ がコレクタ端子、 $4e$ がエミッタ端子、 $4d$ がベース端子)、第1図Fの状態から、ひつくり返

の作業性は極めて悪いものとなる。例えば、各工程の処理を自動化したにしても、そのように小さい基板 $2$ (又は幾何的形態加工済基板 $3$ )を正しい方向に向けて整列自動送りするためには精巧な姿勢決め、送り手段等、高価な付帯設備を要し、これがなければとても生産ラインには乗せられない。また、第2図示の従来例構造では、作業性は比較的良いが、端子が外部に突出さざるを得ないため、実装密度を上げ得ない。

本発明は、上述のように、従来構成のチップ部品が本質的に持つている生産上、実装上の欠点を解決せんとしてなされたものであり、構造的にも至便なものを提供せんとしている。

また、付随的には、従来構造のチップ部品では、エレメント $6$ の搭載面と外部面状端子 $4$ の当該端子面とは同じ向きを向いているため、エレメント $6$ が発光ダイオードとかフォトトランジスタ等である場合、モールド樹脂を対象波長に対しては少なくとも透明な材料としても、プリント基板への実装時にはひつくり返すために、

して混成集積回路上の所要パターン部分に各端子をあてがうようにする。そのため、この種のチップ部品はLID(Leadless Inverted Device; リードレス・インバーティッド・デバイス)と呼ばれている。また、勿論、エレメント $6$ の種類に応じ、端子数や配置、形状は異なってくる。

第2図示のチップ部品は、同じく従来例でも、端子 $4b$ 、 $4c$ 、 $4d$ とモールド部 $7$ とで構成されていて、端子面がモールド部外方に突出しているものである。製造手順としては、一枚のリードフレームに数十組のリード配列されたものを用いて、フレーム単位で組立、モールド作業を行うものとなる。

然し、まず、第1図の構造のチップ部品を見ると、当初の段階で既に各チップ用の一個一個の基板 $2$ ……を切り出してしまい、この極めて小さな基板 $2$ に対して一個一個、加工処理や導電層作成、チップエレメント搭載、モルディング作業を行なわなければならないため、そ

このエレメント $6$ を搭載している導電層面 $4a$ が邪魔になり、結局は光変換機能が損なわれる、乃至機能しないという欠点もあるが、本発明では、これをも改善できるものである。エレメント搭載面とは対向する面に面状端子が設けられるからであり、ひつくり返して配線用プリント基板に装着する必要がないからである。

本発明では、チップ部品の基板の裏面にチップエレメント用の所要の導電層パターンを設け、他面(裏面又は側面)にエレメント各電極用の面状外部端子として所要の導電層パターンを設けて、これ等双方のパターン中において、接続を要すべき導電層部分の相互を、基板を貫通し、内面に導電層の付着したスルーホールで接続するようにしたチップ部品を提供する。導電層付きスルーホールは、一つが一個のチップ部品に専用のものとして使われることもあるが、本発明による特定の製造方法では、一つの導電層付きスルーホールが製造途中では二つ以上のチップ部品で共用され、各チップ部品に分割される

時にこの導電付きスルーホールを含む分割線で分割されることにより、完成した一個一個のチップ部品として見ると、基板側面に沿う形状の、或いは平らな上下方向導電層に見えるようになる。

導電層付きスルーホールは、本来は配線用プリント基板において開発された技術であるので、第3図に即して簡単に説明しておく。

配線用プリント基板、殊に両面プリント基板PB（仮想像断面）において、その導電層部分 $CP_1$ （半断面）と裏面の導電層部分 $CP_2$ （半断面）との接続を採りたい場合に用いられる技術であつて、両導電層 $CP_1$ 、 $CP_2$ に亘る通孔Hを穿ち、この内面に導電層 $H_0$ を付着させるものである。この基板通孔Hとその内面の導電層を併せて、この種技術分野では、単にスルーホールTHと呼び、特には「導電層付き」と断らなくとも、スルーホールと言えはこうした構成のものを指す。

従つて、本書でも、以下では単にスルーホー

イオードをエレメントとするチップ部品及びその製造法を示している。

先づ、将来、各チップ部品の基板となるに適した材料、例えば安価にはベークライト、紙フェノール、特性上優れているものではガラスエポキシ、その他ガラスコンポジット材料、更にセラミック等の材料の基材10を用意する。

この基材10の面積は、 $m \times n$ 個のチップ部品を将来切り出せる大きさとする。第4図中では、この基材の裏面を下段に、裏面を上段に併示している。本発明チップ部品を本発明製造方法で製造する場合、基材10の截断乃至分割は、モールド工程の終わつた段階で良く、それまでは一括処理ができるが、この第4図中では、説明の便宜のため、将来の列方向分割線 $X_i$ と行方向分割線 $Y_j$ を付記している。尚、基材10の外周四辺までを有効に使うのなら、列方向分割線 $X_i$ の数は行方向チップ個数 $m$ に対して $m-1$ 本（即ち $X_i; i=1, 2, \dots, m-1$ ）、行方向分割線 $Y_j$ の本数は列方向チップ数 $n$ に対して $n-1$

本と記すが、このスルーホールの内面導電層 $H_0$ をどのようにして形成するかは公知技術でもいくつかの方法があり、両面導電層 $CP_1$ 、 $CP_2$ を所望のパターンにメツキするに伴い同時に形成する方法とか、両面導電層 $CP_1$ 、 $CP_2$ は通常のエッチングで所望のパターンに形成し、スルーホール用導電層 $H_0$ は別途にメツキする方法等があり、メツキ法も電解メツキとか化学メツキ等の方法がある。

本発明では、予じめ述べておくと、このスルーホールの形成法自体は特定するものではなく、公知手法を任意選択的に利用して良い。ただし、本発明は、スルーホール構造をチップ部品内に採り入れることにより、後述の様々な効果を得ることに成功したものであり、その発想からして公知スルーホール技術の単なる転用ではないからである。

以下、第4図以降に即して本発明の各実施例に就き詳記する。

第4～9図に示す実施例は、各種の半導体ダ

本（即ち $Y_j; j=1, 2, \dots, n-1$ ）となり、基材の最外周を成る幅を持つて四辺分、切り捨てるのなら、列方向分割線 $X_i$ は $X_i; i=1, 2, \dots, m-1$ となり、行方向分割線 $Y_j$ は $Y_j; j=1, 2, \dots, n-1$ となる。以下の実施例では後者に従うものとし、列方向分割線 $X_i$ と $X_{i+1}$ 、行方向分割線 $Y_j$ と $Y_{j+1}$ で画される一つのチップ部品用の基板面積部分を $C_{i,j}$ で表すものとして、第4図中にこの単位面積部分 $C_{i,j}$ ともう一つの例として $C_{i+1,j-1}$ を挙げて、この部分に斜線を施し、理解の助けとしておく。また、 $C_{1,1}, C_{1,2}, \dots, C_{1,n-1}; C_{2,1}, C_{2,2}, \dots, C_{2,n-1}; \dots; C_{m-1,1}, C_{m-1,2}, \dots, C_{m-1,n-1}$ の各チップ用基板部分を場所に限らず一個の基板面積部分として説明する時は、単にチップ用基板面積部分Cと記し、サフィックスは省略する。

さて、後に各チップエレメントを搭載する面となる第4図中、下段の基材表面上には、当該エレメント（この場合は既述のように半導体ダ

イオード)を搭載するのに都合の良い導電層パターン11が形成される。この実施例での導電層パターン11は、各個別のチップ用基板面積部分C毎に見ると、ダイオードエレメント搭載用の比較的大面積化した搭載部導電層12aとこれに連続してスルーホール15……に接続を供する端縁部導電層12bとから成る第一パターン部分12と、ダイオードエレメントの一方の電極とのワイヤボンディング部導電層13aと先のスルーホール15とは対向するスルーホール15に接続を供する端縁部導電層13bとから成る第二パターン部分13とから成っている。而して、この実施例では、それぞれの基板面積部分C毎に第一、第二パターン部分12, 13が隣接の基板面積部分と独立別個に設けられているのではなく(そうであっても良いが)、列方向に隣接する(即ち、同じ列で隣接行中に位置する)基板面積部分 $C_i$ ,  $j$ と $C_{i,j-1}$ 及び $C_{i,j+1}$ において、一つの基板面積部分 $C_{i,j}$ の第一パターン部分12は図面上、上の行の基板面積部分 $C_{i,j+1}$ の第二パターン部

導電層(12b, 13b)で囲まれた形を成し、この列方向一端からワイヤボンディング部13aが、直径方向に対向する列方向他端からエレメント搭載部12aが夫々伸び出している形状となっている。

ひつくり返して見た裏面のスルーホール15の周りのパターン16も、全体としては該スルーホール開口の周りのリング状導電層となつてゐるが、その列方向の図面上の下半円部分17は列方向上の基板面積部分表面のワイヤボンディング部13aと端縁部13bを介して、また、列方向の図面上、上の半円部分18は、列方向下の基板面積部分表面のエレメント搭載部12aと端縁部12bを介して、夫々接続され、夫々、後程の分割工程を経た後は、ワイヤボンディング部の一方のダイオード電極用外部面状端子17、搭載部側の他方のダイオード電極用外部面状端子18、となるものである。

尚、この裏面の面状端子(17, 18)の形状は、半円形状(両者合わせて円)である必要はなく、

12と各端縁部12b, 13bの相互で一体的に接続し、換言すれば成る基板面積部分 $C_{i,j}$ の第二パターン部分13は図面上、下方の行に隣接する基板面積部分 $C_{i,j-1}$ の第一パターン部分12と各端縁部12b, 13bの相互で一体的に接続している。そのために、これ等二つの基板面積部分に跨る第一、第二パターン部12, 13の対は、一つのパターン14を形成しており、その結果、行方向の各分割線 $Y_j$ ( $j=1, 2, \dots, m+1$ )は行方向に並列したこの場合円形断面のスルーホール15の群中を横切り、かつまたスルーホール15の群は列方向にも列方向に伸びる分割線 $X_i$ ,  $X_{i+1}$ ( $i=1, 2, \dots, n+1$ )の間で並列し、従つて、基材10の表面を全体的に眺めると、同一の各パターン14が整然と行、列両方向に並列しているものとなる。尚、各スルーホールとの接続を供する端縁部12b, 13bはこの場合、略々同様の半円形となつてゐるため、上下に隣接する基板面積部分間に跨る一つのパターン14として見ると、スルーホール開口の周りがリング状導

電層の実施例等から推せるように、任意形状で良い。また、勿論、各スルーホール15の内面には基板上下方向(表裏方向)に連続する導電層19が付されている。逆に言えば、先に述べたように、基材10に機械的に単に開けた穴20の内面に導電層19を付して、この技術分野でいうスルーホール15を形成しているのである。

上記のような表裏面のパターン(11又は14), 16及びスルーホール導電層19を如何なる方法で形成するかということ自体は本発明が直接これを規定するものではなく、公知任意の手法によつて良い。

以上のように、基材10の表裏面に対して、夫々所要の通り、スルーホール15で必要部分相互(12と18, 13と17又は、まとめて見て14と16)が接続された所要パターン14, 16を形成したなら、第4図中、仮想線の枠21で囲つた四個分の部分のみを第5図に採り出して拡大して示すように、 $m \times n$ 個ある基板面積部分Cの各細のエレメント搭載部12a上に、この場合は半導体ダ

イオードであるエレメント22を搭載する。この時、一般には搭載部12aにダイオードのアノード又はカソードが直接するので、他方の電極、カソード又はアノード、をワイヤ23によりワイヤボンディング部13aに接続を採ればそれで良い。即ち、一方のダイオード電極は裏面の面状端子となる部分18(本図では示さず)に、他方のダイオード電極は裏面のこの電極用の面状端子となる部分19に、それぞれ接続が取られることになる。

基材10上で一括的にエレメント搭載配線を終えたなら、次に、第6図に示すように、基材10の表面側を一括的に樹脂モールドし(モールド部分は仮想線24で示す)、エレメント22を保護する。モールド材も任意適当なもので良いが、基材10との馴染みが良いものを選ぶのは当然である。

このように、モールド工程までを完了したなら、ここで始めて、基材10を行列各方向分割線Yj, Xiによつて該基材を分割乃至裁断する。裁

断はスルーホール15を介してエレメント22の搭載面とは反対の面に位置するものとなる。

断法はカッタによる機械的なものは勿論、レーザー光等のエネルギービームによつても良い。

このようにして裁断された個々の部分は、第7図示のように、夫々、一つづつが目的のチップ部品25としてのチップダイオード乃至ミニモールドダイオード26を構成する。第8図の第7図A-A線に沿う中央横断面も参考にして、靜的に構成子の捕提説明を行うと、基材10から切り出された基板面積部分Cはこのチップ部品25乃至チップダイオード26の基板27となつており、ダイオードエレメントの各電極の外部面状端子17, 18は、スルーホール内導電層として形成されていた基板両端縁を上下方向に伸びる導電層19, 19を介してエレメント22の搭載面とは反対の面に位置するものとなる。

また、この製造法では、スルーホール15を含む分割線Yjの分割により、各上下方向導電層19, 19は基板27側へ喰い込む半円状の溝形となつて

いる。

尚、通常行なわれているように、面状端子17,

して説明する。

第9, 10図示の実施例は、バイポーラ乃至ユニポラトランジスタ等の三端子型半導体エレメント22を搭載したミニモールドトランジスタ32等をチップ部品25として構成したものである。第10図の靜的構成から説明すると、基板27の表面上には、エレメント22の裏面電極と電氣的接続の採られた搭載部導電層12aがあり、基板27の一面に設けられた、もとはスルーホール15Aであつた半円状溝の内導電層19に増設部導電層12bを介して接続が採られていると共に、例えばベース、エミッタ用又はグート、ソース用の各ボンディング用導電層13a, 13cが上記一側とは対向する基板側辺側に設けられ、夫々、この側辺の角部にある四半円状窪みの上下方向導電層19, 19に端縁部導電層13b, 13dを介して接続されている。この上下方向導電層19, 19も、また、もとはスルーホール15B, 15Bの内導電層であつたものである。各上下方向導電層19, 19と接続し、基板裏面において外部面状端

18や長裏導電層を連通させる上下方向両側導電層19, 19は、複數金屬層としたり、その上に半田メッキ層を有していても勿論良い。

本チップ部品25(26)を混成集積回路用に適当な基板28の所定導電パターン29, 30上に電氣的、機械的に固定する作業は、第8図示のように公知手法と変わりはなく、半田リフロー法やディップリング法、その他導電ペースト等による接着媒体31によつて良い。

上記の実施例は二端子型のエレメント22に対してのものであるが、勿論、基材10乃至各基板27に対する裏面導電層パターンやスルーホール個數、位置等を設計的に所要のものとなればトランジスタ等の三端子型、集積チップエレメント等の多端子型のエレメントに就いても本発明は適用できるものである。第9~12図示の二つの実施例はこうした場合を示している。

第一実施例中の各構成子と対応する構成子には同一の符号を対応的に付し、サフィックスだけは數の増減に応じて付け加えたり変更したり



子となる各導電層18, 17A, 17Bは、既述のように任意パターンで良く、この場合は、やはり、円形を分割した簡単なものになっている。勿論、モールド材24(仮想線)がエレメント22を保護している。

この実施例では、一つの部品の基板27の表面においては、互いに電氣的に独立した三つの導電層パターン部分12, 13A, 13Bを設けている。これ等三つのパターンは、本発明を物として見た場合適宜な製造法により、各パターンを個別に形成しても良いが、既述の第一の実施例に即して詳記した本発明の一括処理を基調とする有効な製造方法による場合、多数個の部品を切出し得る基材10上に当初形成する表面パターンとしては、第9図示のようなパターンによることが望ましい。このパターン形成では、多数個の隣接基板面積部分C.....に跨る二種類のパターン14A, 14Bを規則的に形成すれば足りるので、パターン設計製作上、また基材10の有効利用上、有利となる。

四個の各チップ用基板面積部分に跨っており、このスルーホールに接続を要する各基板面積部分の端縁部13b, 13b; 13d, 13dは夫々四半円状のものが相俟つてスルーホール13Bをリング状に取り囲んでいる。

そして、各端縁部13b, 13b; 13d, 13dはワイヤボンディング部13a, 13a; 13c, 13cが連続している。結局、一つのスルーホール13Bを中心に、上記の各部13a, 13a; 13b, 13b; 13c, 13c; 13d, 13dが全体として二つ目のパターン14Bを形成していることになる。但し、このような基板表面パターンであると、各行において、行方向に隣接する基板面積部分は行方向で互いに反対方向を向く。逆に言えば、各チップ用基板面積Cの隣接するもの同志の方向を勘案すれば、一個当たりのパターン11は三種類(12, 13A, 13B)を設けても、基材10へのパターン形成時には二種類のパターン14A, 14Bの規則的な繰返し配置で済むようになる。

第11, 12図示の実施例は、チップ部品25とし

第9図では、行方向に隣接する将来の各部品用基板面積部分C<sub>i-1, j</sub>, C<sub>i, j</sub>に斜線を施して各領域を明示しているが、先づ、これ等二つの基板面積部分において考えると、それぞれのエレメント搭載部12a, 12aは、両者間の列方向分割線X<sub>i</sub>上にあつて半円部づつ両者に跨る一つのスルーホール13Aに対して対称な位置にあり、夫々の端縁部13b, 13bは相俟つてスルーホール13Aの周縁を囲んでいる。従つて、各部品用の第一導電層12, 12は相俟つて一つの第一パターン14Aとして基材上に形成され、全体として見ると、列方向分割線の一つ置きに行方向に、また行方向隣接分割線Y<sub>j-1, j</sub>, Y<sub>j, j</sub>, Y<sub>j, j+1</sub>間て列方向に整列している。

次に、各ボンディング部13a, 13cに関する各スルーホール13B, 13Bは、上記搭載部用スルーホール13Aの含まれていない一つ置きに列方向分割線上で各行方向分割線との交点に中心を置いて設けられている。従つて、各スルーホール13Bは、列方向及び行方向に各隣接する計

て多端子(この場合六端子)集積回路チップ23を構成したもので、端子数、従つて各パターン部分やスルーホール数が増えているが基本的に先掲の第一、第二実施例と変わる所はない。

基板27乃至各チップ用基板面積部分Cの表面には、裏面に一電極、上面に五電極を持つ集積回路チップエレメント23に応じて、裏面電極と電氣的に接続を採り乍らエレメントを搭載する搭載部12aとこれを基板外面の上下方向導電層19に接続する端縁部12bとから成る第一パターン部分12を始め、他の五電極の各々とのワイヤボンディング部13a, 13c, 13e, 13g, 13iを含む第二～第五パターン部分13A～13Eが形成されている。夫々のパターン部分12, 13A～13Eは、夫々、裏面の面状端子(形状は同じく拘わらないが、ここでは円形を既述のように分割した形状)18, 17に、もとはスルーホールであつた部分の内壁導電層19にて接続が保られている。同様にも、モールド材24(仮想線)がエレメント23を覆っている。

この実施例でも、各電極配置乃至パターン部分は任意なものとして良いが、既述した本発明の方法を用いて、かつ、パターンの合理化、各チップの片面積化を図るならば、基材10へのパターン形成時における工夫により、各チップ当たり六個のパターン部分は、13A~13Eは、第11図示のように、二種類のパターン14A、14Bの規則的な繰返し配置で済ますことができる。

即ち、先づ、例えば搭載部12aと一つのワイヤボンディング部13aとは、基板37の両端辺の略々同位置に来るようにし、残りの四個のワイヤボンディング部を含むパターン部分13B~13Eは基板の四隅に一つ宛て来るようにする。

すると、パターン部分12と13Aに関しては、分割前の基材10上において、一つのスルーホール13Aを中心とした一つのパターン14Aとして、このスルーホール13Aを各列方向分割線 $X_i$ 上で隣接する一対の行方向分割線間に位置させるとにより、行方向に隣接する各チップ用基板面積部分において一方には部分12を、他方には部

形断面状に基板37内方に向かつて凹んだ形になっている。実は、このようになっていると、裏面の面状端子17、18だけではなく、第8図示のように配線用プリント基板上に実装する時に、半田等の付着部分がこの基板側部の導電層19に及ぶに際して当該層19の剥離面積が大きいために電氣的、機械的固着力が大きく採れて基体具合が良いのではあるが、仕様によつては基板側部は平面に保ちたい場合もある。

このような場合には、第13図示のようなパターンとすることにより、第一実施例と同一の本発明製造工程をそのまま援用して目的を達することができる。

先づ、第7図示のミニモールドダイオード24を側部平面上下方向導電層に代えた第14A図示のものにする場合のスルーホール形状、パターン形状、配置に言及すると、第13図において、基材10の両端の列方向不要部分10A、10B（最外側分割線 $X_1$ 、 $X_{n+1}$ の外側）においてのみ列方向の周部分13aで閉じられてはいるが行方向

分13Aを配させることができる。

残りの四部分13B~13Eに関しては、各列方向分割線と行方向分割線との交点に総て配したスルーホール13Bから、このスルーホール13Bを囲む列行各二個ずつ計四個の基板面積部分の各々に対してワイヤボンディング部13c、13d、13g、13iを対角線方向に伸ばせば、一つの基板上パターン14Bで済ますことができる。尚、この実施例のパターン配置は、部分12と13Aから成るパターン14Aに関しては第一実施例のパターン14の応用、残りの部分13B~13Eから成るパターン14Bに関しては第二実施例のパターン14Bの応用となつている。

ところで、これまでの実施例では、表面パターン中の導電層部分の相互の接続を採る上下方向導電層19は、比較的小径の内形スルーホール13、13A、13Bの内壁面とされていたものを用いるため、基材10上でモールド工程を終わつた後に切り出した各チップ部品においては、これ等導電層19はいづれも半円形断面或いは四半円

の周部分13bは各列を横切つた直線上のものとなつている大きな長円形スルーホール13を各行方向分割線を含んで設ける。そして、このスルーホール13の直線周部分13bに沿つて列方向一連に第一パターン14Aと第二パターン14Bを各帯状のものとして設ける。すると、各々一つの基板面積部分Cにおいては、斜線を施した部分C<sub>1</sub>、C<sub>2</sub>等々に示すように、エレメント搭載部12とワイヤボンディング部13とが列方向に対向したものとなる。两部分12、13は、相俟つて各チップ用基板表面パターン11を構成する。

また、各導電層部分乃至パターン部分12、13の各表面電極17、18となる表面パターンは、第13図には示していないが表面パターンと同じで良い。

その後、第一の実施例に即して述べたように、ダイオードエレメント22を各領域Cに搭載し、ワイヤボンディング作業を行い、樹脂封止24を基材10の全面に対して施した後、行方向には各スルーホール13の中心を通る行方向分割線で、

列方向には行方向に一直の第一、第二パターン14A、14Bを断ち切る列方向分割線で、基材10を截断すれば、第14A図示のように、基板27の側面の導電層19、19が平らで、またこの場合は裏面面状端子17、18も角形のもが提供される。

また、第13図において、第二パターン14Bを図中仮想線で示すように各チップ当たり二つのボンディング部13A、13Bとして形成すれば、第14B図示のように、トランジスタ等の三端子エレメント22でも、各上下方向導電層19……を平面形状としたチップ部品25乃至ミニモールドトランジスタ32が形成できる。更に両パターン部分14A、14Bの行方向分割数を増やせば多端子型エレメントにも対応でき、その場合、基板27の両側の面状端子ピッチをこの植技術で規格化乃至それに準ずる扱いを受けているピッチ、例えば127 $\mu$ mとすれば、この種チップ型集積回路のデュアルインラインピン配列に応えることができる。勿論、シングルインラインも片方のパターン14A又は14Bを使わなければ可能であ

ターン導電材料を抵抗材料、例えばニッケルクロム系、タンタル系、ルテニウム系等の材料とし、各チップ用基板面積部分Cにおいて両端接続用導電層13、13間に予じめ、所定幅、所定厚味の抵抗源パターン部分34を構築し状に一体成形しておく。

この状態で、基材10上の露出の当該抵抗源部分34に所望の抵抗値を得るためのレーザトリミング等の抵抗値調整技術（公知手法を採用して良い）を施せば、第16図示のように、抵抗エレメント22が得られ、モールド後、各分割線に沿って截断すれば、目的の第17図示のチップ抵抗35がチップ部品25として得られる。

第18、19図示の実施例は、コイル37を搭載エレメント22としたものである。

第19図示のチップコイル38の完成状態から説明すると、基板27の図面上、上方の一端部側の裏面パターン部分13Aの一部には、スパイラル状パターンを形成するコイルエレメント37の一端37aが一体的に接続し、渦を巻いた中心部端

る。

次に、受動エレメントに対する実施例に就き説明する。以下のこうした実施例では、やはり、第18図示のスルーホール形状を基にして上下方向導電層を平面とする。但し、第18図と第4～6図示の関係のように、円形小径スルーホールを使つても良い。

第15～17図はエレメント22として抵抗を考えたものである。第15図は分割前の基材10上のパターン配置を示し、また、スルーホール15は第13図示と同様に基材両側の切捨部分10A、10Bでのみ閉じられた行方向には直線状層線13Bを持つ長円形状となつている。

而して、第13図示の裏面パターンにおいて、搭載部13とワイヤボンディング部13とを、共に、エレメント22の各電極を対応裏面面状端子に接続を採るための裏面接続層13、13と考えれば、これ等両者間に別途に作つた抵抗体の両電極を各一方宛接続することにより、チップ抵抗35を得ることは勿論できるが、この実施例では、パ

37aは第二パターン部分13Bに接続している。

第一パターン部分13Aは、先の実施例におけると同様の長円形状のスルーホール13A（第18図）によつているため、上下方向導電層19を介して裏面の面状端子17に接続が採られるが、中央部のパターン部分13Bは、この部分に設けたスルーホール13Bを介して裏面のやや巾広な面状端子18に連通が採られている。従つて、第18図示のように、基材10上のパターンにおいてスルーホール13Aの対向長辺部分に沿うパターン部分39は本来的に不要であり、また、これに連なる導電層部分19'も本来的には不要であるが、パターン描画の画一性、作業性に鑑みれば概ねこのようなパターンとするのが具合が良い。また特に、導電層19'は、端子18の補助的な半田濡れ面積増加分として働くので、消更、無用とは言い難い。

コイルエレメント37のスパイラルパターンは、他の導電層パターン部分形成と同時に進行することができる。また、そのインダクタンス値は、ス

バイラルの平均半径、巻数、線路幅に応じて数値的方程式が存在するので、設計可能である。

第20～24図示の実施例は、基材10上に複數層を堆積する公知技術と同じく公知の選択エッチング技術を本発明思想と共に援用することにより、エレメント22としてコンデンサエレメント39を搭載したチップ部品25乃至チップコンデンサ40を構成するものである。

第20A、B図には、基材10中で一列二行分の二つの各チップ用基板面積部分 $C_{i,j}$ ； $C_{i,j-1}$ を取り出して示している。また、行列を横に寝かせて示しているが、これは、本来、行と列はいづれも相対的な関係ではあるものの、先の実施例と長円形状スルーホール13の方向性に対応を保つためである。

即ち、行方向に直線状周縁部13bを持つスルーホール13の当該行方向周縁部13bに沿つて、基材10の表面上に細巾な第一パターン部分13Aと巾広な第二パターン部分13Bとを形成するが、両者相俟つて一種類のパターン14を構成する。

して所要部分にレジスト島44を残す。

基材10を適当なエッチング手法によりエッチング処理して、電極層42を、各チップ用基板面積部分表面において第一パターン部分13Aから誘電膜41に乗り上げ、第二パターン部分13B上に留まるように形成し、その後レジスト島44を除去すれば、第23図示のように、各チップ用基板面積部分の行方向に連続するもの同志に亘つて、上下電極42、41、誘電層41から成る条片状のコンデンサ39が形成される。

その後、基材表面上をモールド材24でモールドした後、行列分割線に従つて各チップを切り出せば、第24図示のようなチップ部品25としてのチップコンデンサ40が得られる。

尚、コンデンサ容量は材質が同じなら、各電極重なり面積及び誘電膜厚により決定されるが、これ等はいづれも現在の技術で精密に制御可能である。

また、第25図示のチップコンデンサ40'に示すように、上部電極42'を機械的蒸着その他により

従つて、このパターン14を単に列方向に後列配置すれば良い。

また、裏面スルーホール周りのパターン14も一種類で良く、対向側縁が列方向に隣り合う基板面積部分用の各面状端子17、18となる。

広巾な第一パターン部分13Bは、将来、コンデンサエレメントの一方のコンデンサ電極41を構成するものである。

次に、基材10の全表面上に、将来、コンデンサエレメントの誘電層となる絶縁層乃至誘電層を堆積又は形成した後、選択エッチング技術を援用して所定パターン14の誘電膜42を残す。具体的には広巾パターン13Bを渡り、細巾パターン13Aは一部露呈させる（第21図）。

次いで、第22図に示すように、基材10の全面にコンデンサエレメントのもう一方の電極となる適当な、但し露呈導電層部分13Aと機械的にも馴染みの良い材料の金属層42を蒸着、メッキその他適宜な手段により形成し、その上にフォトリソストを塗付し、露光、現像処理を行う等

一方の導電層パターン13Aに接続固定しても良いし、誘電膜も個別的な誘電膜42としても良い。この場合も、本発明の製造方法は採用することができる。即ち、行方向に各行当たり条片状にコンデンサを形成し、モールドを済ましてから切断すれば良い。勿論、本発明のチップ部品25は、物としての進歩性も十分なものであるから、個別製造方法によつても良い。それでも在来の個別製造チップ部品（第1、2図）に比せば数多くの効果を見い出せる。

尚、上述したいづれの実施例でも、スルーホールの内壁面であつた上下方向導電層19と、外部面状端子17、18とは別個な部材となつていた。即ち、面状端子は基板底面に設けられていた。しかし、第8図を参照すると分かるように、素子間配線用プリント基板28の各所定の導電層パターン29、30に半田その他の導電性接着剤で本チップ部品25を固定する場合、必ずしも面状端子17、18が底面になくとも、上下方向導電層19がこの面状端子17、18の役を兼ねることもでき

る。即ち、面状端子は基板の側面でも良い。合がある。ここで一括して、本発明によるチップ部品おは、スルーホールを介してエレメント搭載面以外の外面に面状端子を持つものとしておく。

以上、各種述べた本発明の実施例に鑑み、本発明の主たる効果は次のようにまとめることができる。

まず、物として見ると、

- 1) エレメント搭載面と外部面状端子の設けられている面とは異なる面であるので、実装時にひっくり返す必要はない。従つて、外部光回路との情報のやり取りを行うためのフォトリソグラフィシステムとか発光ダイオードをエレメントとして選んでも、モールド材に透明な物を用いれば支障のない機能が行え、第1、2図示のような従来チップ部品に見られるように導電層パターンが邪魔になることがない。
- 2) また、従来構造チップでは、エレメント搭載面と面状端子とが同一面側にあるので、エレ

例えば、エレメントの一方の電極は当該エレメントの搭載面を裏下に抜けるスルーホールで裏面へ導通を採れば、その分、大きく面積の低減化が図れるし、それだけでなく、裏面側の面状端子は面積を十分とつて裏面のエレメントと位置的に重なつても何等差仕えないのであるから、エレメントとこの裏面電極間のスルーホールに接続を採る裏面パターンは極めて小さくできる。更に、面状端子を側面に形成した場合、即ちスルーホール内壁面導電層であつた上下方向導電層そのものを面状端子とした場合には、略々エレメント面積に微かな周辺面積を加えた極微面積チップにまで極限化できる。

4) スルーホール技術に関しての基板材の適用範囲は広く、安価なものをも用いることができるし、また、モールド材にエポキシ樹脂、基材10にガラスエポキシを選ぶ等、相性の良い材料の選択自由度が増し、温度係数の違いによる機械的損傷を未然に防ぐことができる外、裁断加工も容易になる。

メントをモールドして尚、面状端子を露出させるためには、モールド材の厚味を越えて面状端子をエレメント上方に位置付けるための配線が必要になる；即ち、第1図示の従来造ではそれだけでなく小さい基板2に対して脚 $2a$ 、 $2b$ 、 $2c$ を形成せねばならない大変な工程が必要であり、第2図示の従来構造では、製作上の要請からも外部に引出したリードとせねばならない。これに対して、本発明チップ部品では、原則として基板2の機械加工による凸凹成形は不要である。ただ平らであつて良いのであるから、その合理性、生産性は極めて高い。

3) 従来構造では、基板面積はどんなに小さくしても、エレメント面積と各電極面積の和以下には絶対にならないし、また各電極面積は余りに小さくすることはできないことから、小型化に限界があり、ましてや第3図示の構造では製造作業性は良くとも外部へのリードの引出しが必須であるが、本発明では、そのような制限は大幅に緩和され、実装密度を大いに高め得る。

次に、本発明のチップ部品を本発明の製造方法により製作することは、更に以下の利点を生む。

a) 先づ第一に、生産工程が大幅に簡単化し、生産性、経済性共、甚だしく向上する。本発明では、基材10上にチップエレメントを搭載する時も、その配線作業を行う時も、そしてまた、モールド工程においても、基材10上の多数個の素子に対して一括的に処理することができる。基材10という大面積部品のままで処理することができ、最後の工程で始めて各チップ部品毎に分割、裁断すれば良いのである。

従つて、従来のように、各工程毎に既に切り出してしまつてゐる極微な基板をその方向を揃えながら一つづつ処理ステーションに送るといふ極めて精密高価な装置が要る、しかも基板自体の加工工程、エレメント搭載、配線工程、モールド工程の逐一に必要とする、という大きな債務から逃れることができる。基材10の大きさで取扱うことは極めて楽であるし、基材10を成

る方向に向ければ基材上の各チップ用基板面積部分乃至導電層パターンは、随て面一的に一定方向を向くのである。

6) エレメントやパターンに対する汚染問題を大きく回避できる。従来のように、予じめストックしておいた各小チップ基板を一つづつ取出してからエレメント搭載処理をし、また処理を終えたものから順に別のステーションに送るといふ作業をしなくて済むため、同一の成形室乃至各層形成チャンバ内で一度に全部の処理を行うこともできるからであり、また条件の均質性も満足させることができる。

7) 上記した1)に関連するが、基材乃至基板に対する機械的に複雑な成形処理は原理的には全く不要である。

8) 隣接素子間でのパターン共用が容易であるため、基材10に詰め込めるチップ数を増すことができ、利用効率を格段に向上できる。

9) また、パターン設計は、本質的に在来のプリント配線基板における技術やノウハウを応用

できるため、設計自体、至便である。

こように、本発明のチップ部品及びその製造法は、生産側にも多々なる利点をもたらし、使用者側にも実装度を大いに上げられる利点を与え、将来に亘つてこの種部品の大量需要が見込まれる状況にあつて、この種分野に多大なる貢献をすること、願うのである。

#### 4. 図面の簡単な説明

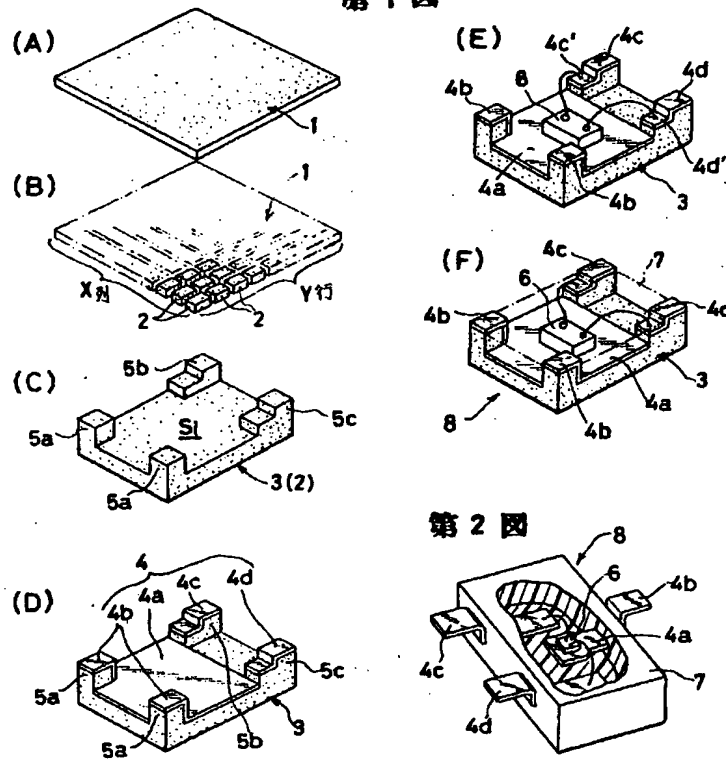
第1図は従来のチップ部品及びその製造工程の説明図、第2図は他の従来例チップ部品の一部破断した斜視図、第3図は在来の素子間配線用乃至部品収付用プリント配線基板にかけるスルーホールの説明図、第4図、第5図、第6図は、本発明製造方法の一実施例の各工程の説明図、第7図は本発明第一の実施例としてのチップダイオード乃至ミニモールドダイオードのモールド材を仮想線で示した斜視図、第8図は第7図A-A線に沿う断面図、第9図は第二実施例としてのミニモールドトランジスタ等の三端子部品に好適な基材表面導電層パターンの説明

図、第10図は本発明第二実施例としてのミニモールドトランジスタ等の三端子チップ部品の概略構成斜視図、第11図は多端子、例えば六端子チップエレメント用として好適な基材表面導電層パターンの説明図、第12図は本発明第三の実施例としての六端子チップ部品の概略構成斜視図、第13図は導面の上下方向導電層を平面形状とするに適したスルーホール形状の説明図、第14図は、それぞれ、第13図示スルーホール形状を基にして作成した第四、第五実施例としてのチップ部品の概略構成斜視図、第15図、第16図は、本発明製造方法に即してチップ抵抗を作成する場合の各工程の説明図、第17図は本発明第六実施例としてのチップ抵抗の概略構成斜視図、第18図は本発明製造方法によりチップコイルを作成する場合に好適な基材表面導電層パターンの説明図、第19図は本発明第七の実施例としてのチップコイルの概略構成斜視図、第20図、第21図、第22図、第23図は、本発明製造方法を基にチップコンデンサを作成する場合の各工程の

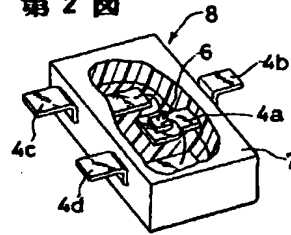
説明図、第24図は本発明第八の実施例としてのチップコンデンサの概略構成斜視図、第25図は本発明第九の実施例としてコンデンサエレメント構成を変更したチップコンデンサの概略構成斜視図、である。

図中、10は基材、11は各チップ用基板表面上に必要な導電層パターン、12、13、13A～Eは各導電層乃至パターン部分、14、14A、14Bはいくつかの導電層をまとめた基材上の互いに独立なパターン、15、15A、15Bは内面導電層付きのスルーホール、17、18、(19)は外部面状端子、19は基材乃至基板の上下方向乃至表面方向に伸びる導電層、22はチップエレメント、24はモールド部乃至モールド材、25は一括してのチップ部品、27は各チップ部品の基板、である。

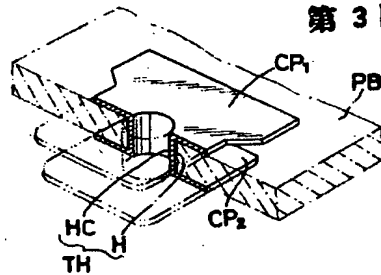
第 1 図



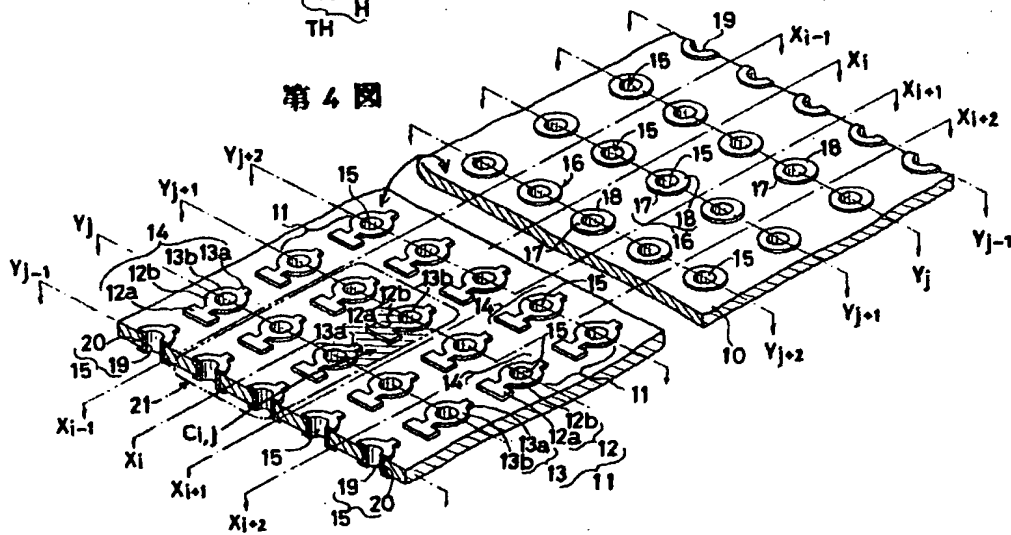
第 2 図

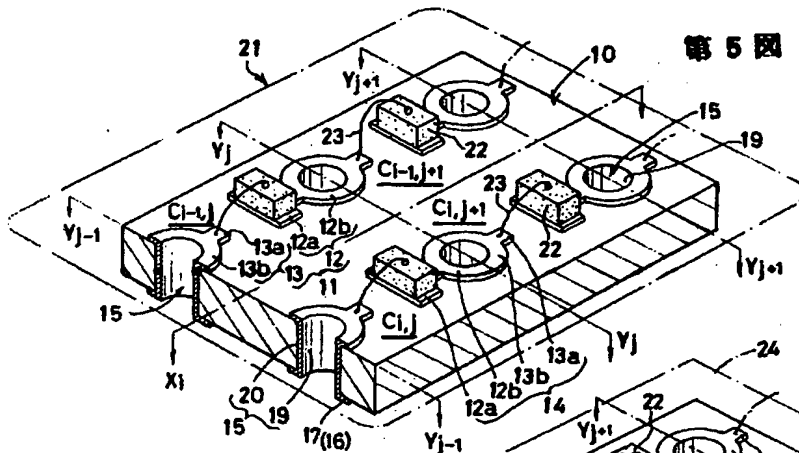


第 3 図

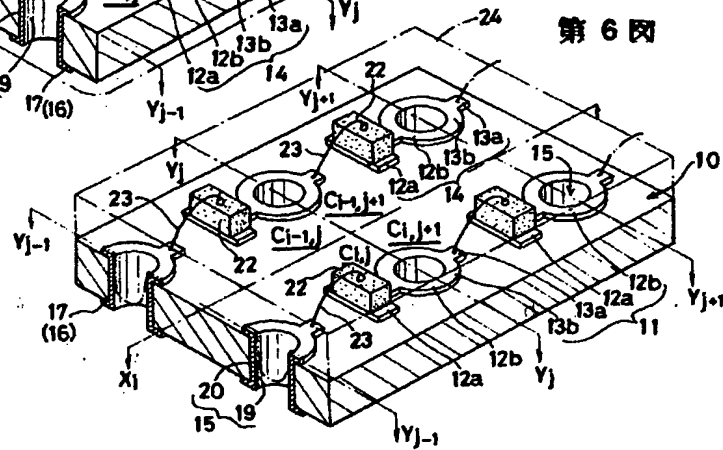


第 4 図

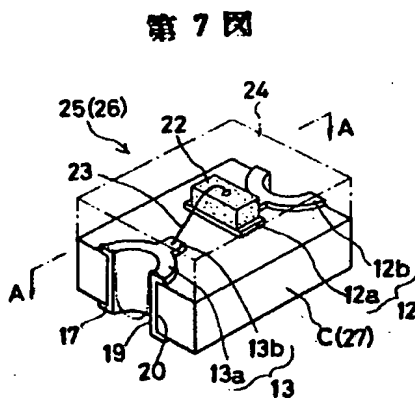




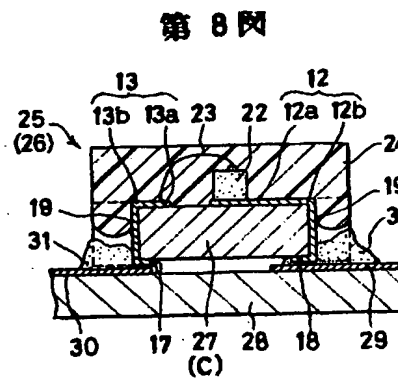
第5図



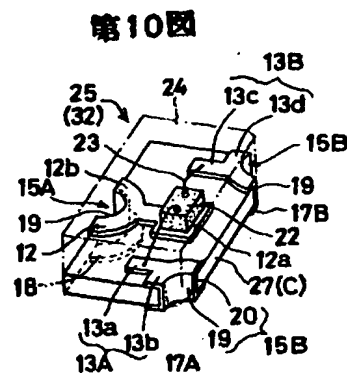
第6図



第7図



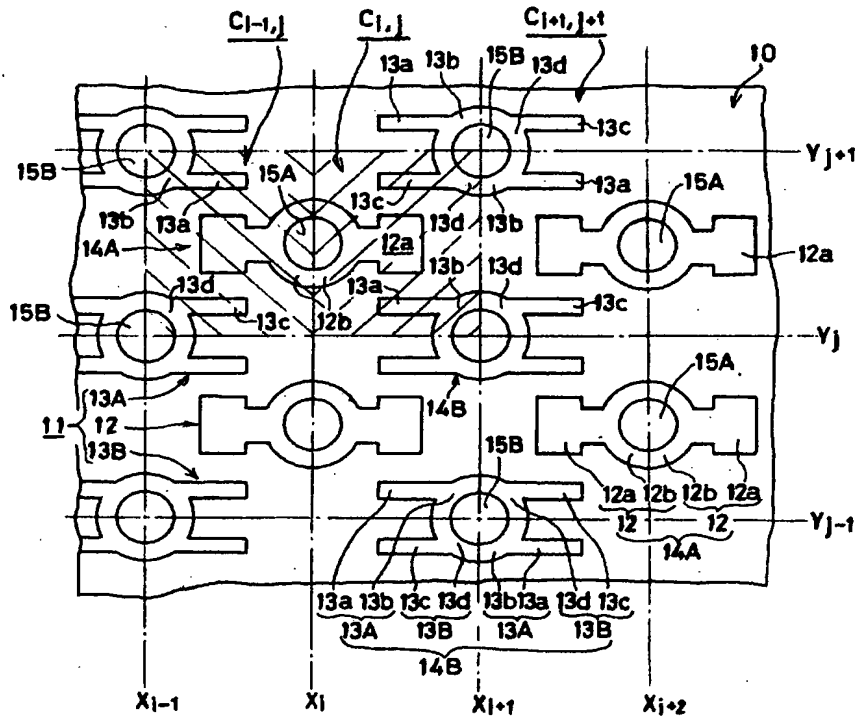
第8図



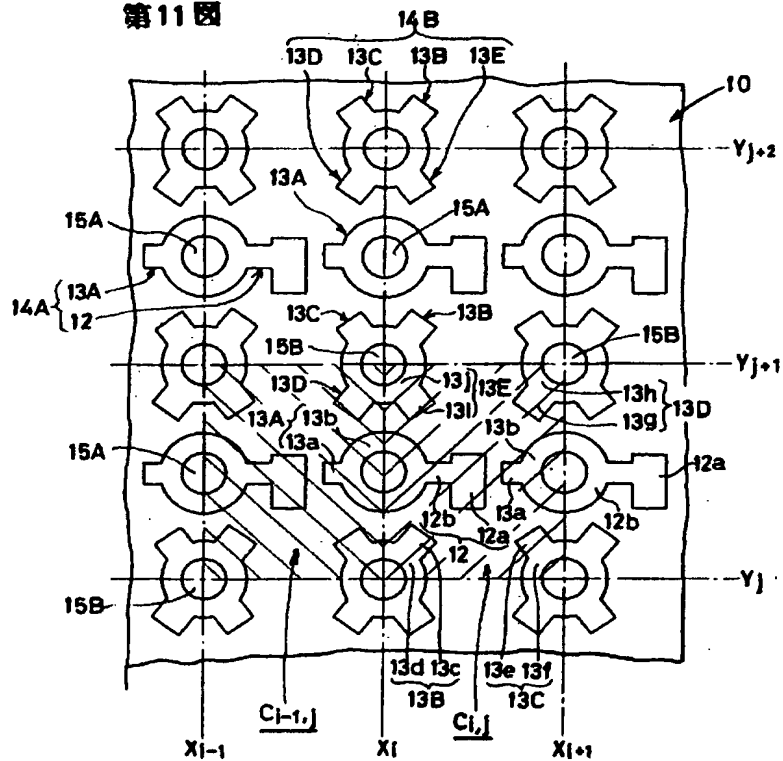
第10図



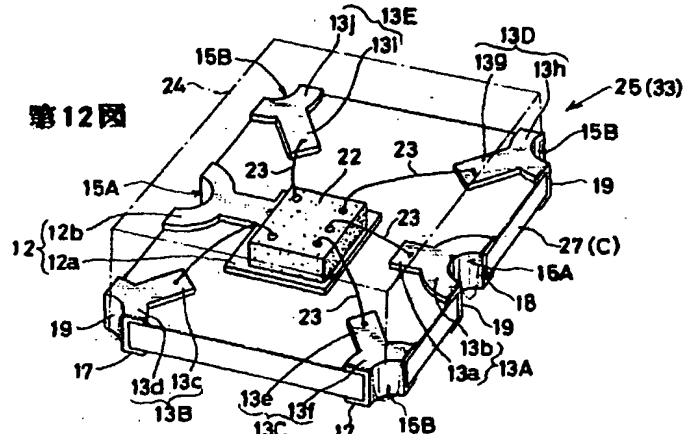
第9図



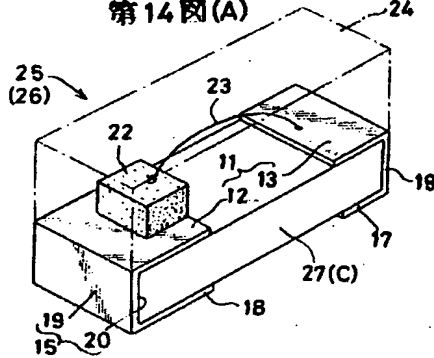
第11図



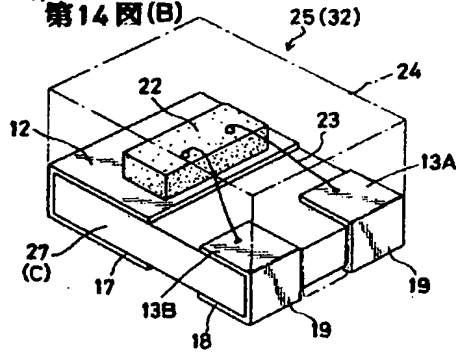
第12図



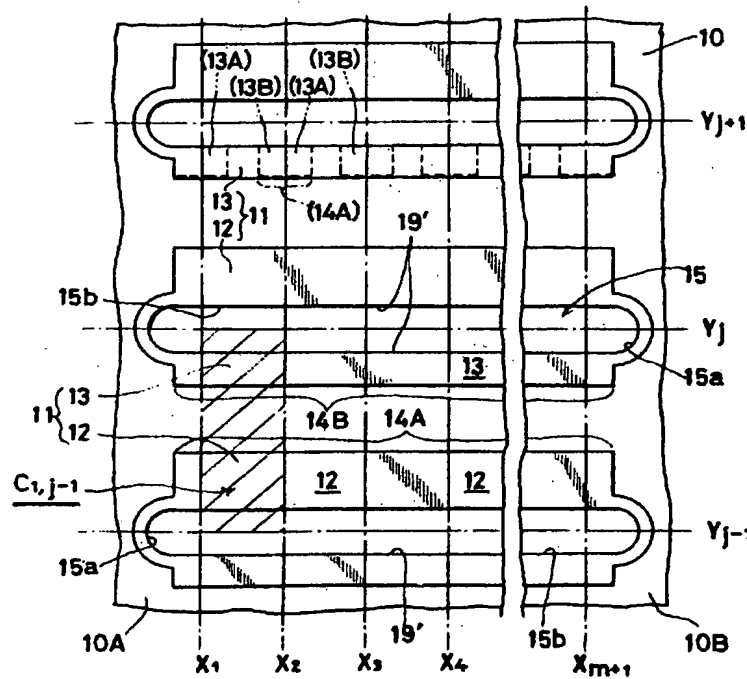
第14図(A)



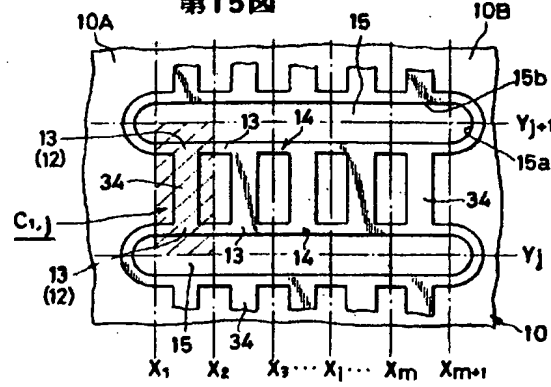
第14図(B)



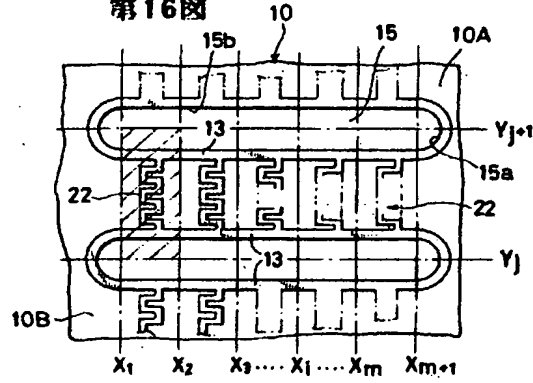
第13図



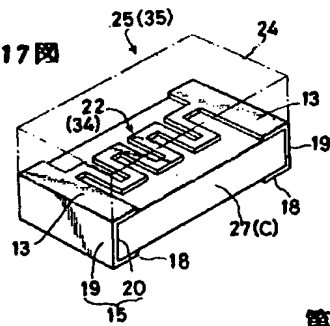
第15図



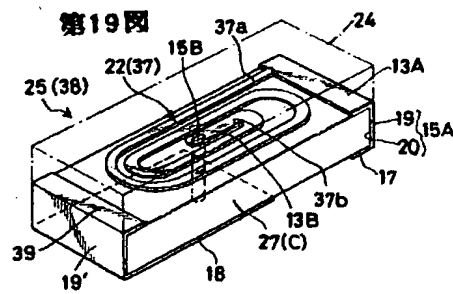
第16図



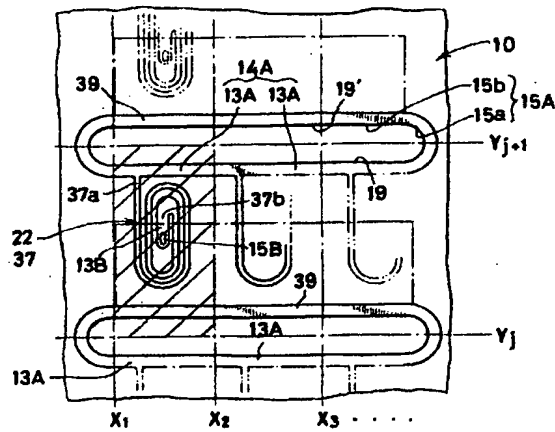
第17図



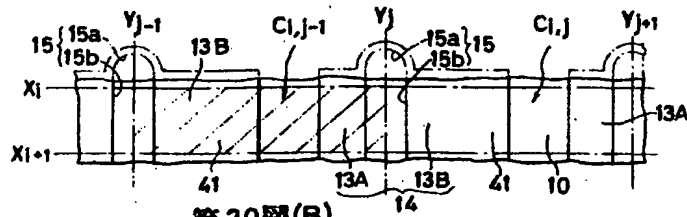
第19図



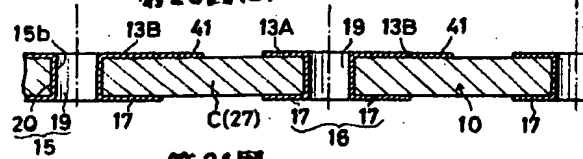
第18図



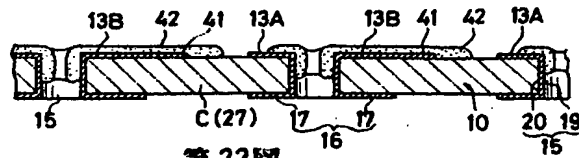
第20図(A)



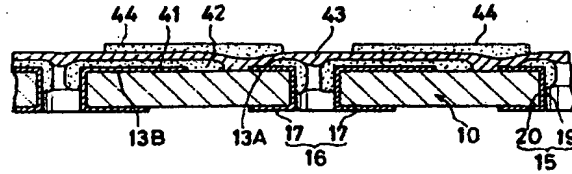
第20図(B)



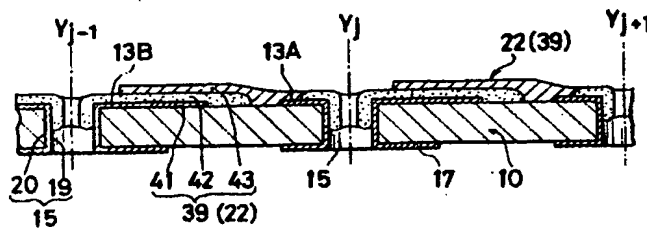
第21図



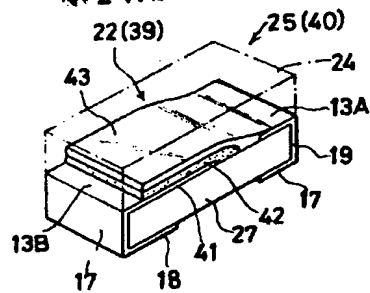
第22図



第23図



第24図



第25図

